

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**Applicants:** Koichi Ohto, et al.

**Examiner:** Unassigned

**Serial No:** 10/767,786

**Art Unit:** Unassigned

**Filed:** January 29, 2004

**Docket:** 17408

**For: SEMICONDUCTOR DEVICE,  
AND PRODUCTION METHOD FOR  
MANUFACTURING SUCH SEMICONDUCTOR  
DEVICE**

**Dated:** March 18, 2004

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM OF PRIORITY**

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submits certified copies of Japanese Patent Application No. 2003-021076, filed on January 29, 2003, and Japanese Patent Application No. 2004-018079, filed on January 27, 2004.

Respectfully submitted,



Paul J. Esatto, Jr.

Registration No.: 30,749

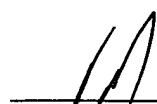
Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, New York 11530  
(516) 742-4343

---

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, Box 1450, Alexandria, VA 22313-1450 on March 18, 2004.

Dated: March 18, 2004

  
\_\_\_\_\_  
Paul J. Esatto, Jr.

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 1月29日  
Date of Application:

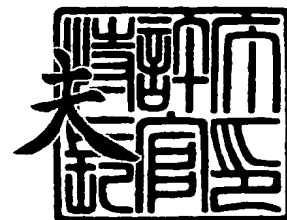
出願番号                      特願2003-021076  
Application Number:  
[ST. 10/C]:                      [JP 2003-021076]

出願人                      NECエレクトロニクス株式会社  
Applicant(s):

2003年12月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号    出証特2003-3103161

【書類名】 特許願  
【整理番号】 74120004  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/768  
H01L 21/316

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 大音 光市

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 宇佐美 達矢

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 森田 昇

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 大西 貞之

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 有田 幸司

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 北尾 良平

**【発明者】**

**【住所又は居所】** 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

**【氏名】** 佐々木 洋一

**【特許出願人】**

**【識別番号】** 302062931

**【氏名又は名称】** N E C エレクトロニクス株式会社

**【代理人】**

**【識別番号】** 100109313

**【弁理士】**

**【氏名又は名称】** 机 昌彦

**【電話番号】** 03-3454-1111

**【選任した代理人】**

**【識別番号】** 100085268

**【弁理士】**

**【氏名又は名称】** 河合 信明

**【電話番号】** 03-3454-1111

**【選任した代理人】**

**【識別番号】** 100111637

**【弁理士】**

**【氏名又は名称】** 谷澤 靖久

**【電話番号】** 03-3454-1111

**【手数料の表示】**

**【予納台帳番号】** 191928

**【納付金額】** 21,000円

**【提出物件の目録】**

**【物件名】** 明細書 1

**【物件名】** 図面 1

**【物件名】** 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上の配線層間絶縁膜層に設けられた配線溝に、バリアメタル膜を介して Cu 含有金属が埋め込まれた金属配線を有する半導体装置において、前記配線層間絶縁膜層が下層から金属拡散防止絶縁膜、第 1 の SiOCH 膜、前記第 1 の SiOCH 膜よりも膜中の C 濃度、H 濃度が低く、O 濃度が高いことを特徴とする第 2 の SiOCH 膜、SiO<sub>2</sub> 膜の 4 層構造を有することを特徴とする半導体装置。

【請求項 2】 半導体基板上の異層間絶縁膜層と前記異層間絶縁膜層に形成された下層の金属配線に達する開孔と、前記開孔にバリアメタルを介して Cu 含有金属により埋め込まれた金属プラグを有する半導体装置において、前記異層間絶縁膜層が下層から金属拡散防止絶縁膜、第 1 の SiOCH 膜、前記第 1 の SiOCH 膜よりも膜中の C 濃度、H 濃度が低く、O 濃度が高いことを特徴とする第 2 の SiOCH 膜、SiO<sub>2</sub> 膜の 4 層構造を有することを特徴とする半導体装置。

【請求項 3】 半導体基板上の層間絶縁膜層と、前記層間絶縁膜層に形成された配線溝および前記配線溝と下層の金属配線とを接続する開孔を有し、前記配線溝および開孔内壁部にバリアメタル膜を介して Cu 含有金属配線及び Cu 含有金属プラグが埋め込まれている半導体装置において、前記層間絶縁膜層が下層から金属拡散防止絶縁膜、第 1 の SiOCH 膜、前記第 1 の SiOCH 膜よりも膜中の C 濃度、H 濃度が低く、O 濃度が高いことを特徴とする第 2 の SiOCH 膜、SiO<sub>2</sub> 膜の 4 層構造を有することを特徴とする半導体装置。

【請求項 4】 半導体素子を有する半導体基板上に形成された絶縁膜上面に金属拡散防止絶縁膜を形成する工程と、

前記金属拡散防止絶縁膜上面に第 1 の SiOCH 膜を形成する工程と、

前記第 1 の SiOCH 膜の上面に、前記第 1 の SiOCH 膜よりも膜中の C 濃度、H 濃度が低く、O 濃度が高いことを特徴とする第 2 の SiOCH 膜を形成する工程と、

前記第2のSiOCH膜の上面にSiO<sub>2</sub>膜を形成する工程と、  
前記SiO<sub>2</sub>膜及び前記第2のSiOCH膜、前記第1のSiOCH膜、前記金属拡散防止絶縁膜を連通する配線溝を形成する工程と、  
前記配線溝をCu含有金属により埋め込み、Cu含有金属溝配線を形成する工程と、  
を有することを特徴とする半導体装置及びその製造方法。

【請求項5】 半導体素子を有する半導体基板上に形成された絶縁膜の溝部に、上面が露出する第1のCu含有金属配線を形成する工程と、

前記第1のCu含有金属配線の上面及び絶縁膜上面に金属拡散防止絶縁膜を形成する工程と、

前記金属拡散防止絶縁膜上面に第1のSiOCH膜を形成する工程と、

前記第1のSiOCH膜の上面に、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜を形成する工程と、

前記第2のSiOCH膜の上面にSiO<sub>2</sub>膜を形成する工程と、

前記第1のCu含有金属配線上面が露出するまで、前記SiO<sub>2</sub>膜及び前記第2のSiOCH膜、前記第1のSiOCH膜、前記金属拡散防止絶縁膜を連通する開孔を形成する工程と、

前記開孔をCu含有金属により埋め込み、Cu含有金属プラグを形成する工程と、

を有することを特徴とする半導体装置及びその製造方法。

【請求項6】 半導体素子を有する半導体基板上に形成された絶縁膜の溝部に、上面が露出する第1のCu含有金属配線を形成する工程と、

前記第1のCu含有金属配線の上面及び絶縁膜上面に金属拡散防止絶縁膜を形成する工程と、

前記金属拡散防止絶縁膜上面に第1のSiOCH膜を形成する工程と、

前記第1のSiOCH膜の上面に、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜を形成する工程と、

前記第2のSiOCH膜の上面にSiO<sub>2</sub>膜を形成する工程と、

前記SiO<sub>2</sub>膜及び前記第2のSiOCH膜、前記第1のSiOCH膜内に配線溝と、前記第1のCu含有金属配線上面に連通する開孔を形成する工程と、

前記配線溝と開孔をCu含有金属により埋め込み、Cu含有金属配線およびCu含有金属プラグを同時に形成する工程と、

を有することを特徴とする半導体装置及びその製造方法。

【請求項7】 前記請求項1乃至6に記載の第1のSiOCH膜の膜組成比がC濃度10～20atoms%、O濃度20～35atoms%、H濃度25atoms%以上からなり、かつ、第2のSiOCH膜の膜組成比がC濃度が10atoms%未満、O濃度35atoms%以上、H濃度25atoms%未満であることを特徴とする半導体装置及びその製造方法。

【請求項8】 前記請求項1乃至6に記載の第2のSiOCH膜形成方法が前記第1のSiOCH膜の表面を少なくともHe、ArもしくはH<sub>2</sub>のいずれか1つを含みOを含まないガスを用いたプラズマ雰囲気処理し、その後、Oを含むガスを用いた熱処理をおこなうことにより第1のSiOCH膜表面を変質させて形成することを特徴とする半導体装置及びその製造方法。

【請求項9】 前記請求項1乃至6に記載の第2のSiOCH膜形成とSiO<sub>2</sub>膜の形成を同一真空装置内で連続して行なうことを特徴とする半導体装置及びその製造方法。

【請求項10】 前記請求項1乃至7に記載の金属拡散防止絶縁膜が少なくともSiCNH膜または、SiCH膜のいずれか1層を含む単層または2層以上の積層構造からなることを特徴とする半導体装置及びその製造方法。

【請求項11】 前記請求項1乃至6に記載の金属拡散防止絶縁膜が下層よりSiCNH膜とSiOCNH膜からなる積層構造、またはSiCNH膜とSiCH膜からなる積層構造からなることを特徴とする半導体装置及びその製造方法。

【請求項12】 前記請求項8に記載のOを含むガスがO<sub>2</sub>、O<sub>3</sub>、N<sub>2</sub>O、NO、CO、CO<sub>2</sub>のうち少なくとも1つを含むことを特徴とする半導体装置及びその製造方法。



【請求項 13】 前記請求項 1 乃至 6 に記載の Cu 含有金属配線と Cu 含有金属プラグは、Si、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、および Fe のうち少なくとも一つを含有することを特徴とする半導体装置及びその製造方法。

【請求項 14】 前記請求項 1 乃至 6 に記載の Cu 含有金属配線と Cu 含有金属プラグはバリアメタルとして、Ti、TiN、TiSiN、Ta、Ta<sub>2</sub>N<sub>5</sub>、および TaSiN のうち少なくとも一つを有することを特徴とする半導体装置及びその製造方法。

【請求項 15】 半導体基板上の配線層間絶縁膜層に設けられた配線溝に、バリアメタル膜を介して Cu 含有金属が埋め込まれた金属配線を有する半導体装置において、前記配線層間絶縁膜層は下層に SiOCH 膜をその上層に SiO<sub>2</sub> 膜を有し、前記 SiOCH 膜の上層部はその下層部よりも膜中の C 濃度、H 濃度が低く、O 濃度が高いことを特徴とする半導体装置。

【請求項 16】 絶縁膜上に SiCNH 膜を成膜する工程と、前記 SiCNH 膜を不活性ガス雰囲気のパラズマにさらした後熱酸化処理を行う工程と、その後 SiO<sub>2</sub> 膜を形成する工程と、リソグラフィ技術により前記 SiO<sub>2</sub> 膜上にレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記 SiO<sub>2</sub> 膜および SiOCN 膜を順次エッチングして溝を設ける工程と、その後前記レジストパターンをアッシング除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 17】 前記溝内に金属配線を埋め込む工程を更に有する、請求項 16 に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、Cu 配線などの金属配線を有する半導体装置と、その製造方法に関するものである。

##### 【0002】

#### 【従来の技術】

ICの製造分野では、デバイス的高速化、高集積化にともない、デバイス設計ルールの縮小化が進んできている。デバイスの縮小化により、配線サイズと配線間隔の微細化が進むと、それに反比例して配線抵抗や配線間容量が増加していく傾向にある。配線抵抗や配線間容量が増加するとRC時定数が大きくなるため、信号の伝播速度の低下を招き、デバイス的高速化をおこなう上で問題となっている。このため、配線抵抗と配線間容量の低減がデバイス的高速化を進めていく上で重要となってきた。配線抵抗を低減する方法としては、配線材料として広く用いられてきていたAlよりも比抵抗の低いCuを配線材料として用いた技術、製品が普及してきている。また、配線間容量は、対向する配線間の面積、配線間の絶縁膜の比誘電率に比例し、配線間隔に反比例して増加するため、デバイスのデザインを変更せずに配線間容量を減少する方法としては、例えば、従来用いられているSiO<sub>2</sub>やSiNよりも比誘電率の低い絶縁膜が検討されている。Cuを配線材料として用いる場合、ドライエッチング技術によるCuの微細加工が困難なことから、通常、図11に示すようなダマシン配線構造が一般的に広く使われている。シングルダマシン配線の形成方法は、まず、下地層間絶縁膜101上に、その後に形成されるSiO<sub>2</sub>膜103とのエッチング選択性に優れたエッチングストップSiN絶縁膜102を50～150nmの厚さで成膜し、次いでSiO<sub>2</sub>配線層間絶縁膜103を400～1000nm程度の厚さで成膜する。それから、フォトリソグラフィーとドライエッチング技術により溝パターンを形成し、O<sub>2</sub>ドライアッシング技術とウェット剥離技術によりレジストパターンを除去する。それから溝パターンを、スパッタリング技術とメッキ技術を用いてTa/TaN（上層がTa）104といったCuの拡散を防止するためのバリヤメタルとCuで埋め込み、CMPによりSiO<sub>2</sub>膜103上の余分なCuとバリヤメタルを除去してCu配線105を形成している。さらに上層に配線を形成する場合は、SiO<sub>2</sub>膜103及びCu配線105上面にSiN膜106、SiO<sub>2</sub>膜107を順次成膜し、溝配線を形成する場合と同様にしてビアパターンを形成し、Ta/TaNバリアメタル108に側壁及び底部を覆われたCuプラグ109を形成する。このようにCu配線とCuプラグの形成を順次繰り返すことにより多層のCu配線を形成する。また、これとは別に下層のCu配線形成後に、ビ

パターンと上層の配線溝パターンを形成し、Cuにより同時に埋め込むデュアルダマシンと呼ばれる形成方法がある。配線形成後、層間絶縁膜を形成する場合、CuがSiO<sub>2</sub>と容易に反応して拡散してしまうため、通常は拡散防止絶縁膜としてSiN膜106をCu上に50～100nm程度成膜してから、SiO<sub>2</sub>ビア層間絶縁膜107を成膜している。この場合、SiN膜はCuの拡散防止のためだけではなく、Cuの溝エッチングを行なう際、また、Cuのダマシン配線上にビアホールを開口する際、Cu表面がSiO<sub>2</sub>膜のエッチングやO<sub>2</sub>レジストアッシングの雰囲気日晒されるのを防止するため、SiO<sub>2</sub>膜のエッチングストップ層としての役割も担うことになる。このようにSiN膜は拡散防止とエッチングストップ層としての機能が求められている。近年では、さらに配線間の寄生容量を低減するため、従来のSiO<sub>2</sub>の比誘電率4.1よりも比誘電率の低いSiOFやSiOCH、有機膜等が、広く検討されてきている。

#### 【0003】

SiOCH膜の密着性及び酸化耐性、薬液耐性を向上させる方法の1つとして特開2002-26121（特許文献1）にあるようにSiOCH膜をプラズマ処理して表面に改質層を形成する方法が知られている。

#### 【0004】

##### 【特許文献1】

特開2002-26121号公報

#### 【0005】

##### 【発明が解決しようとする課題】

1. SiOCH膜は膜中にCを含んでいるため、一般的に酸化耐性がSiO<sub>2</sub>よりも低い。このため、層間絶縁膜としてSiOCH膜を用いる場合、ドライエッチング後のO<sub>2</sub>ドライアッシングからSiOCH膜表面を保護するため、SiO<sub>2</sub>等のCを含まない膜をSiOCH膜表面に成膜してSiOCH膜の変質を抑制するようにしたSiO<sub>2</sub>/SiOCHといった積層構造にする方法がある。しかし、この場合、SiOCH膜表面にあるSi-CH<sub>3</sub>結合により、SiO<sub>2</sub>/SiOCH界面の密着性が弱く、膜剥がれが問題となっている。

#### 【0006】

2. 一般的にプラズマCVDによるSiO<sub>2</sub>膜のストレスは圧縮応力が働き、SiOCH膜は引っ張り応力が働く。このため、SiO<sub>2</sub>/SiOCH界面ではそれぞれの膜の熱応力の違いにより熱処理時に界面で剥がれが発生しやすい問題がある。

#### 【0007】

3. SiOCH膜の密着性及び酸化耐性、薬液耐性を向上させる方法の1つとして特開2002-26121にあるようにSiOCH膜をプラズマ処理して表面に改質層を形成する方法が知られている。しかし、この場合、Oを含むプラズマにより処理をおこなうと、SiOCHがもともと酸化耐性が低いため、膜全体が変質してしまいやすく、深さ方向の制御が困難となる。また、一般に改質層は表面のCH<sub>3</sub>基が減少するため吸湿性に富む膜となっており、処理後の大気開放により吸湿することが問題となっている

#### 【0008】

##### 【課題を解決するための手段】

上記目的を達成するための本発明の半導体装置は、半導体基板上の配線層間絶縁膜層に設けられた配線溝に、バリアメタル膜を介してCu含有金属が埋め込まれた金属配線を有する半導体装置において、前記配線層間絶縁膜層が下層から金属拡散防止絶縁膜、第1のSiOCH膜、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜、SiO<sub>2</sub>膜の4層構造を有する。

#### 【0009】

また本発明の半導体装置は、半導体基板上の異層間絶縁膜層と前記異層間絶縁膜層に形成された下層の金属配線に達する開孔と、前記開孔にバリアメタルを介してCu含有金属により埋め込まれた有金属プラグを有する半導体装置において、前記異層間絶縁膜層が下層から金属拡散防止絶縁膜、第1のSiOCH膜、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜、SiO<sub>2</sub>膜の4層構造を有する。

#### 【0010】

また本発明の半導体装置は、半導体基板上の層間絶縁膜層と、前記層間絶縁膜

層に形成された配線溝および前記配線溝と下層の金属配線とを接続する開孔を有し、前記配線溝および開孔内壁部にバリアメタル膜を介してCu含有金属配線及びCu含有金属プラグが埋め込まれている半導体装置において、前記層間絶縁膜層が下層から金属拡散防止絶縁膜、第1のSiOCH膜、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜、SiO<sub>2</sub>膜の4層構造を有する。

#### 【0011】

また本発明の半導体装置は、半導体基板上の配線層間絶縁膜層に設けられた配線溝に、バリアメタル膜を介してCu含有金属が埋め込まれた金属配線を有する半導体装置において、前記配線層間絶縁膜層は下層にSiOCH膜をその上層にSiO<sub>2</sub>膜を有し、前記SiOCH膜の上層部はその下層部よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする。

#### 【0012】

上記目的を達成するための本発明の半導体装置の製造方法は、半導体素子を有する半導体基板上に形成された絶縁膜上面に金属拡散防止絶縁膜を形成する工程と、

前記金属拡散防止絶縁膜上面に第1のSiOCH膜を形成する工程と、

前記第1のSiOCH膜の上面に、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜を形成する工程と、

前記第2のSiOCH膜の上面にSiO<sub>2</sub>膜を形成する工程と、

前記SiO<sub>2</sub>膜及び前記第2のSiOCH膜、前記第1のSiOCH膜、前記金属拡散防止絶縁膜を連通する配線溝を形成する工程と、

前記配線溝をCu含有金属により埋め込み、Cu含有金属溝配線を形成する工程と、

を有するものである。

また、本発明の半導体装置の製造方法は、半導体素子を有する半導体基板上に形成された絶縁膜の溝部内に、上面が露出する第1のCu含有金属配線を形成する工程と、

前記第1のCu含有金属配線の上面及び絶縁膜上面に金属拡散防止絶縁膜を形成する工程と、

前記金属拡散防止絶縁膜上面に第1のSiOCH膜を形成する工程と、

前記第1のSiOCH膜の上面に、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜を形成する工程と、

前記第2のSiOCH膜の上面にSiO<sub>2</sub>膜を形成する工程と、

前記第1のCu含有金属配線上面が露出するまで、前記SiO<sub>2</sub>膜及び前記第2のSiOCH膜、前記第1のSiOCH膜、前記金属拡散防止絶縁膜を連通する開孔を形成する工程と、

前記開孔をCu含有金属により埋め込み、Cu含有金属プラグを形成する工程と、  
を有するものである。

また、本発明の半導体装置の製造方法は、半導体素子を有する半導体基板上に形成された絶縁膜の溝部内に、上面が露出する第1のCu含有金属配線を形成する工程と、

前記第1のCu含有金属配線の上面及び絶縁膜上面に金属拡散防止絶縁膜を形成する工程と、

前記金属拡散防止絶縁膜上面に第1のSiOCH膜を形成する工程と、

前記第1のSiOCH膜の上面に、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜を形成する工程と、

前記第2のSiOCH膜の上面にSiO<sub>2</sub>膜を形成する工程と、

前記SiO<sub>2</sub>膜及び前記第2のSiOCH膜、前記第1のSiOCH膜内に配線溝と、前記第1のCu含有金属配線上面に連通する開孔を形成する工程と、

前記配線溝と開孔をCu含有金属により埋め込み、Cu含有金属配線およびCu含有金属プラグを同時に形成する工程と、  
を有するものである。

この場合、第1のSiOCH膜の膜組成比がC濃度10～20atoms%、O

濃度 20 ~ 35 atoms %、H 濃度 25 atoms % 以上からなり、かつ、第 2 の Si O C H 膜の膜組成比が C 濃度が 10 atoms % 未満、O 濃度 35 atoms % 以上、H 濃度 25 atoms % 未満であってもよい。

また、この場合、第 2 の Si O C H 膜形成方法が前記第 1 の Si O C H 膜の表面を少なくとも He、Ar もしくは H<sub>2</sub> のいずれか 1 つを含み O を含まないガスを用いたプラズマ雰囲気処理し、その後、O を含むガスを用いた熱処理をおこなうことにより第 1 の Si O C H 膜表面を変質させることにより形成されてもよい。

また、この場合、第 2 の Si O C H 膜形成と Si O<sub>2</sub> 膜を形成する工程を同一真空装置内で連続して行なってもよい。

また、この場合、金属拡散防止絶縁膜が少なくとも Si C N H 膜または、Si C H 膜のいずれか 1 層を含む単層または 2 層以上の積層構造であってもよく、下層より Si C N H 膜と Si O C N H 膜からなる積層構造、または Si C N H 膜と Si C H 膜からなる積層構造であってもよい。

また、この場合、O を含むガスが O<sub>2</sub>、O<sub>3</sub>、N<sub>2</sub>O、NO、CO、CO<sub>2</sub> のうち少なくとも 1 つを含んでいればよい。

#### 【0013】

また、この場合、Cu 含有金属配線及び Cu 含有金属プラグは、Si、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、および Fe のうち少なくとも一つを含有していてもよく、また、バリアメタルとして、Ti、TiN、TiSiN、Ta、Ta<sub>2</sub>N<sub>5</sub>、および TaSiN のうち少なくとも一つを有していてもよい。

#### 【0014】

また、本発明の半導体装置の製造方法は、絶縁膜上に Si O C H 膜を成膜する工程と、前記 Si O C H 膜を He プラズマにさらした後熱処理を行う工程と、その後 Si O<sub>2</sub> 膜を形成する工程と、リソグラフィ技術により前記 Si O<sub>2</sub> 膜上にレジストパターンを形成する工程と、前記レジストパターンをマスクにして前記 Si O<sub>2</sub> 膜および Si O C N 膜を順次エッチングして溝を設ける工程と、その後前記レジストパターンを O<sub>2</sub> アッシングする工程とを含むことを特徴とする。さ

らに、前記溝内に金属配線を埋め込む工程を有することを特徴とする。

#### 【0015】

(作用)

上記のように構成される本発明では、上層よりSiO<sub>2</sub>膜/第2のSiOCH膜/第1のSiOCH膜の積層構造とし、第2のSiOCH膜の膜中のC濃度とH濃度を第1のSiOCHより低くし、かつO濃度を高くして、SiO<sub>2</sub>と第1のSiOCH膜の中間の組成をもつ第2のSiOCH膜が中間に存在しているため、第2のSiOCH膜はSiO<sub>2</sub>及び第1のSiOCH膜の両方に対して優れた密着性を有し、層間絶縁膜全体の密着性が向上する。また中間の膜質の第2のSiOCH膜が介在することで、それぞれの膜の熱ストレスの違いによる界面でのストレス集中による剥がれが抑制できる。

#### 【0016】

また、本発明では、第2のSiOCH膜の形成方法を第1のSiOCH膜表面をHeやAr、H<sub>2</sub>といったOを含まないプラズマで処理し、それからN<sub>2</sub>OやO<sub>2</sub>といったガス雰囲気中で熱処理することにより形成するため、酸化耐性の低いSiOCH膜に対しても深さ方向の制御が容易となり、また第2のSiOCH膜の形成とSiO<sub>2</sub>膜の成膜を装置内で連続的にこなうことで、水の吸湿が抑制されるため、さらに密着性が向上し、半導体装置の歩留まりや信頼性が向上する。

#### 【0017】

【発明の実施の形態】

(第1実施例)

本発明の第1実施例の半導体装置の構成について説明する。

#### 【0018】

図1は本発明の半導体装置の構造を示す断面図である。本実施例では本発明の層間絶縁膜構造によるシングルダマシン配線構造を形成した。

#### 【0019】

図1に示すように、本実施例の半導体装置は、Cu配線を有する4層の積層構造の配線層間絶縁膜及びCuプラグを有する4層の積層構造の異層間絶縁膜で半



導体基板（不図示）上に成膜された下地絶縁膜上に形成された構成である。配線層間絶縁膜は下層よりSiCNH膜202、第1のSiOCH膜203、第1のSiOCH膜203よりC濃度とH濃度が低くO濃度が高い第2のSiOCH膜204、SiO<sub>2</sub>膜205の4層構造となっており、そこに側面と底面がバリア膜（例えばTa/TaN膜）207にて覆われたCu配線208が形成されており、配線層間絶縁膜及びCu配線208の上面には、下層よりSiCNH膜209、第1のSiOCH膜210、第1のSiOCH膜210よりC濃度とH濃度が低くO濃度が高い第2のSiOCH膜211、SiO<sub>2</sub>膜212の4層構造を有し、そこに側面と底面がTa/TaN膜214にて覆われたCuプラグ215が順に形成されている。図1に示す構造の他、不図示のトランジスタ、ダイオード、抵抗、およびキャパシタなどから半導体装置が構成される。

#### 【0020】

ここで、SiN膜の代わりにSiCNH膜202を用いた理由は、その比誘電率がSiNよりも低く、またその上に成膜した絶縁膜を加工する際のエッチングストップとして適しているからである。次に、第1実施例の半導体装置の製造過程において、第2のSiOCH膜の形成およびSiO<sub>2</sub>膜の膜形成に用いられる平行平板型プラズマCVD装置について説明する。なお、ここでは、半導体基板上に膜形成する場合で説明する。

図2は第1実施例に用いられる平行平板型プラズマCVD装置の構成の一実施例を模式的に示す断面図である。

#### 【0021】

上記プラズマCVD装置は、半導体基板303上に成膜処理を行うための処理室と、処理室内に載置された半導体基板303の温度を一定に保つためのヒータと下部電極となるサセプタ301と、半導体基板303を処理室に搬入し、処理室から搬出する搬送手段（不図示）と、処理室内の圧力を一定に保つための排気手段306と、処理室に複数種類の反応ガスを供給するためのガス供給部305と、処理室内に高周波を発生させるための高周波発生機304を制御するコンピュータとを備える構成である。

#### 【0022】

ガス供給部 305 は、数種類の反応ガスを供給するための複数のガス配管、およびガス流量制御手段を介して処理室に接続されている。

#### 【0023】

処理室には上部平板電極 302 と下部平板電極となるサセプタ 301 が対向して設けられ、上部平板電極 302 および下部平板電極 301 は上記高周波発生機 304 に接続されている。また、下部平板電極 302 には上記ヒータが内蔵されている。高周波発生機 304 は、所定の周波数および高周波電力（RF パワー）の高周波を上部平板電極 302 と下部平板電極 301 の間に発生させる。

#### 【0024】

上記構成のプラズマ CVD 装置により、例えば、SiO<sub>2</sub> 膜を形成する場合、サセプタ 301 上に載置された半導体基板 303 をヒータにより所望の温度にし、反応ガスの種類および流量を調節して処理室内を所望のガス雰囲気です望の処理圧力にし、所望の高周波の RF パワーを印加することで処理室内に反応ガスのプラズマを発生させて、半導体基板 303 上に SiO<sub>2</sub> 膜を形成する。

#### 【0025】

次に、上記プラズマ CVD 装置を用いた、第 1 実施例の半導体装置の製造方法について説明する。

#### 【0026】

図 3 は第 1 実施例の半導体装置の製造工程手順を示す断面図である。

#### 【0027】

トランジスタおよびキャパシタなどの半導体素子が形成された半導体基板（不図示）上の下地絶縁膜 201 上にプラズマ CVD 法により SiCNH 膜 202 を 50 nm 成膜する。次にプラズマ CVD 法もしくは塗布・焼成法により第 1 の SiOCH 膜 203 を 250 nm 成膜する。次に図 2 に示す CVD 装置内にて、処理温度 200～450℃、He ガス流量 10～6000 sccm、処理圧力 1～20 Torr、RF パワー 50～500 W の条件で He プラズマに第 1 の SiOCH 膜 203 をさらし、膜表面の Si-H 結合および Si-CH<sub>3</sub> 結合の一部を分解させ Si のダングリングボンドを形成する。次に同一成膜室内において、処理温度 200～450℃、N<sub>2</sub>O ガス流量 100～6000 sccm、処理圧力

1～20 Torrの条件で熱酸化処理を行なうことにより第1のSiOCH膜203表面にC濃度とH濃度が低くO濃度が高い第2のSiOCH膜204を20 nm程度形成する。さらに同一成膜室内において処理温度200～450℃、N<sub>2</sub>Oガス流量100～6000 sccm、SiH<sub>4</sub>ガス流量10～1000 sccm、処理圧力1～20 Torr、RFパワー50～500 Wの条件でSiO<sub>2</sub>膜205を成膜する。次に、フォトリソグラフィ技術を用いてレジストマスクを形成した後、ドライエッチング技術を用いて溝配線用パターン206を形成し、その後酸素プラズマによるアッシングによりレジストパターンを除去する(図3(a))。

#### 【0028】

次に、図3(b)に示すように、露出した下地絶縁膜201、およびSiO<sub>2</sub>膜205上に、バリアメタルとしてTa/TaN膜207を膜厚30 nmで成膜し、成膜したTa/TaN膜207上に、電解メッキ法の陰極側下地層となるCu層を膜厚100 nmでスパッタリング法により成膜する。その後、電解メッキ法によりCu層を溝配線用パターン206に埋め込んでから、結晶化のために200～400℃の熱処理を行う。

#### 【0029】

次に、SiO<sub>2</sub>絶縁膜205上のCu層およびTa/TaN膜207をCMP法により除去し、Cu配線208を形成する。

#### 【0030】

次に、図3(c)に示すように、異層間絶縁膜として配線層間絶縁膜と同様の手順により、プラズマCVD法によるSiCNH膜209を50 nm、プラズマCVD法もしくは塗布・焼成法による第1のSiOCH膜210を250 nm、同一プラズマ装置内において第2のSiOCH膜211を20 nmとSiO<sub>2</sub>膜212を100 nm順次成膜する。

次に、フォトリソグラフィ技術とドライエッチング技術を用いて、下層のCu配線に達するビアパターン213を形成する(図3(d))。

#### 【0031】

次に、図3(e)に示すように、バリアメタルとしてTa/TaN膜214を

膜厚 30 nm で成膜し、成膜した Ta/TaN 膜 214 上に、電解メッキ法の陰極側下地層となる Cu 層を膜厚 100 nm でスパッタリング法により成膜する。その後、電解メッキ法により Cu 層をビアパターンに埋め込んでから、結晶化のために 200～400℃ の熱処理を行う。次に、SiO<sub>2</sub> 絶縁膜 212 上の Cu 層および Ta/TaN 膜 214 を CMP 法により除去し、Cu ビア 215 を形成した。

#### 【0032】

なお、第 2 の SiOCH 膜を形成する方法について、He ガスを用いたプラズマ処理後、N<sub>2</sub>O ガスを用いた熱酸化による 2 STEP の形成方法をおこなっているが、He ガスの代わりに Ar 等の不活性ガスで、雰囲気中に O や N を含まない雰囲気であればよく、また、熱酸化工程で N<sub>2</sub>O を酸化ガスとして用いたが O<sub>2</sub> や O<sub>3</sub>、NO、CO、CO<sub>2</sub> といった O を含むガス雰囲気であれば同様の効果が得られる。

#### 【0033】

また、配線層間絶縁膜および異層間絶縁膜に下層膜として Cu の拡散防止を目的として SiCNH 膜を用いているが、SiCH や SiNH でもよく、さらに上層の SiOCH 膜との密着性向上のため、SiOCNH/SiCNH あるいは SiCH/SiCNH 膜といった積層構造にするとさらによい。

#### 【0034】

上述において、SiOCH 膜を第 1 の膜第 2 の膜と便宜上呼んだが、一つの層の SiOCH 膜の上層部はその下層部よりも膜中の C 濃度、H 濃度が低く、O 濃度が高くなっていればよい。

#### 【0035】

また、上層の SiO<sub>2</sub> 膜として SiH<sub>4</sub> と N<sub>2</sub>O を用いた SiO<sub>2</sub> 膜を形成しているが、TEOS（テトラエトシキシラン）と O<sub>2</sub> あるいは O<sub>3</sub> を用いた SiO<sub>2</sub> を用いてもよい。

#### 【0036】

また、配線及びプラグの金属材料として Cu を用いたが、Si、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、N

i、およびFeのうち少なくとも一つを含有したCu配線でもよく、これらの材料を含有することにより、本構造にて形成された半導体装置の配線寿命はさらに向上する。

#### 【0037】

また、バリアメタルにTa/TaN膜を用いたが、バリアメタルは、Ti、TiN、TiSiN、Ta、TaN、およびTaSiNのうち少なくとも一つ有する構成であればよい。この場合においても、金属配線における配線寿命を低減させることはない。

#### 【0038】

ここで、本発明による第2のSiOCH膜の形成方法と従来技術であるN<sub>2</sub>Oプラズマ処理方法との違いについて説明する。図4(a)、(b)、(c)はSiOCH膜を本発明と従来のN<sub>2</sub>Oプラズマによる方法を用いて、それぞれ処理をおこない、その膜質がどのように変化したか、膜収縮率、屈折率、k値(比誘電率)をそれぞれ比較した結果である。これらの結果を見ると、従来の方法ではN<sub>2</sub>Oプラズマ処理によりSiOCH膜全体が酸化されているため、膜収縮、屈折率の変化が大きく、これにともないk値が上昇している。これに対し、本発明による処理方法では処理前後による膜収縮、屈折率、k値の変化はほとんど見られない。これは図5に示すXPSの測定結果にあるように、膜組成の変化が膜表面の20nm程度のみに抑えられているためである。この違いは従来の方法ではOを含んだ雰囲気中でプラズマ処理をおこなっているため、活性化されたOラジカルよりSiOCH膜の内部深くまで膜が酸化されているのに対し、本発明では、Heプラズマにより表面近傍のSi-H、Si-CH<sub>3</sub>結合の一部を分解して、Oを含む雰囲気中で熱処理をおこなう方法することにより、反応を表面近傍のみに制御しているためである。このように本発明方法を用いることで第2のSiOCH膜の膜厚制御が容易となり、k値上昇を抑制できる。

#### 【0039】

次に、本発明による第2のSiOCH膜形成とSiO<sub>2</sub>成膜を同一成膜室内でおこなうことによる効果について説明する。図6に従来のSiO<sub>2</sub>/SiOCH構造と、SiO<sub>2</sub>成膜と第2のSiOCH膜を別装置でおこなったSiO<sub>2</sub>/第

2のSiOCH/第1のSiOCH構造、本発明によるSiO<sub>2</sub>/第2のSiOCH/第1のSiOCH構造で4 point Bendingによる密着性評価をおこなった結果である。これを見ると、SiO<sub>2</sub>/SiOCH構造では密着性強度が2.03しかないが、SiO<sub>2</sub>成膜と第2のSiOCH膜を別装置でおこなったSiO<sub>2</sub>/第2のSiOCH/第1のSiOCH構造では5.42まで向上しており、さらに、本発明のSiO<sub>2</sub>/第2のSiOCH/第1のSiOCH構造では7.16まで向上していた。本発明の連続形成により密着性強度が向上した理由は第2のSiOCH膜形成後、大気放置すると、膜表面に水分が吸着するため、Si-OH結合が形成され、第2のSiOCH膜とSiO<sub>2</sub>膜の密着性が低下するためである。図7にはTDSによりH<sub>2</sub>Oのデガス量を比較した結果を示すが、同一成膜室内で連続処理をおこなった方が、デガス量が少ないことがわかる。このように、第2のSiOCH膜形成とSiO<sub>2</sub>を連続形成することにより、密着性が良好で、膜中の水分も少ない構造が形成可能となる。

#### 【0040】

次に膜中のC濃度と密着性強度の関係について説明する。図8は本発明によるHeプラズマの処理時間とSiO<sub>2</sub>との密着性強度、及び膜中のC濃度の関係について示している。この場合、処理時間10秒以上で密着性強度はほぼ横ばいになっており、このときC濃度としては10%未満であることがわかる。このことから、密着性を向上するためには第2のSiOCH膜中のC濃度は10%未満にすると良い。

#### 【0041】

(第2実施例)

本発明の第2実施例について説明する。

#### 【0042】

図9は本発明の半導体装置の構造を示す断面図である。本実施例では本発明の層間絶縁膜構造によるデュアルダマシン配線構造を形成した。

#### 【0043】

図9に示すように、本実施例の半導体装置は、第1のCu配線を有する5層の積層構造の第1の配線層間絶縁膜及びCuプラグと第2のCu配線を有する5層

の積層構造の第2の配線層間絶縁膜で半導体基板（不図示）上に成膜された下地絶縁膜上に形成された構成である。第1の配線層間絶縁膜は下層よりSiCNH膜202、SiOCNH膜217、第1のSiOCH膜203、第1のSiOCH膜203よりC濃度とH濃度が低くO濃度が高い第2のSiOCH膜204、SiO<sub>2</sub>膜205の5層構造となっており、そこに側面と底面がTa/TaN膜207にて覆われた第1のCu配線216が形成されており、また、第2の配線層間絶縁膜は、下層よりSiCNH膜209、SiOCNH膜218、第1のSiOCH膜210、第1のSiOCH膜210よりC濃度とH濃度が低くO濃度が高い第2のSiOCH膜211、SiO<sub>2</sub>膜212の5層構造となっており、そこに側面と底面がTa/TaN膜214にて覆われたCuビアと第2のCu配線219が形成されている。図9に示す構造の他、不図示のトランジスタ、ダイオード、抵抗、およびキャパシタなどから半導体装置が構成される。

#### 【0044】

図10は第2実施例の半導体装置の製造工程手順を示す断面図である。

#### 【0045】

トランジスタおよびキャパシタなどの半導体素子が形成された半導体基板（不図示）上の下地絶縁膜201上にプラズマCVD法によりSiCNH膜202を50nm成膜し、次いで、SiOCNH膜217を10nm成膜する。次にプラズマCVD法もしくは塗布・焼成法により第1のSiOCH膜203を250nm成膜する。次に図2に示すCVD装置内にて、処理温度200～450℃、Heガス流量10～6000sccm、処理圧力1～20Torr、RFパワー50～500Wの条件でHeプラズマに第1のSiOCH膜をさらし、膜表面のSi-H結合およびSi-CH<sub>3</sub>結合の一部を分解させSiのダングリングボンドを形成する。次に同一成膜室内において、処理温度200～450℃、N<sub>2</sub>Oガス流量100～6000sccm、処理圧力1～20Torrの条件で熱酸化処理を行なうことにより第1のSiOCH膜203表面にC濃度とH濃度が低くO濃度が高い第2のSiOCH膜204を20nm程度形成する。さらに同一成膜室内において処理温度200～450℃、N<sub>2</sub>Oガス流量100～6000sccm、SiH<sub>4</sub>ガス流量10～1000sccm、処理圧力1～20Torr、

RFパワー50～500Wの条件でSiO<sub>2</sub>膜205を成膜する。次に、フォトリソグラフィ技術とドライエッチング技術を用いて、溝配線用パターンを形成する。次に、露出した下地絶縁膜1、およびSiO<sub>2</sub>膜上に、バリアメタルとしてTa/TaN膜207を膜厚30nmで成膜し、成膜したTa/TaN膜207上に、電解メッキ法の陰極側下地層となるCu層を膜厚100nmでスパッタリング法により成膜する。その後、電解メッキ法によりCu層を溝配線用パターンに埋め込んでから、結晶化のために200～400℃の熱処理を行う。次に、SiO<sub>2</sub>絶縁膜205上のCu層およびTa/TaN膜207をCMP法により除去し、第1のCu配線216を形成する(図10(a))。

#### 【0046】

次に、第1のCu配線の配線層間絶縁膜と同様の手順により、SiCNH膜厚209を50nm、SiOCNH膜208を10nm、第1のSiOCH膜210を500nm、同一プラズマ装置内において第2のSiOCH膜211を20nmとSiO<sub>2</sub>膜212を100nm順次成膜する。次に、フォトリソグラフィ技術とドライエッチング技術を用いて、下層のCu配線に達するビアパターンを形成する。次に、フォトリソグラフィ技術とドライエッチング技術を用いて第2の配線溝パターンを形成する。次に、バリアメタルとしてTa/TaN膜214を30nm成膜し、成膜したTa/TaN膜214上に、電解メッキ法の陰極側下地層となるCu層を膜厚100nmでスパッタリング法により成膜する。その後、電解メッキ法によりCu層をビアパターンと溝配線用パターンに埋め込んでから、結晶化のために200～400℃の熱処理を行う。次に、SiO<sub>2</sub>絶縁膜212上のCu層およびTa/TaN膜214をCMP法により除去し、Cuプラグと第2のCu配線219を同時に形成した(図10(b))。

#### 【0047】

ここではデュアルダマシン形成方法としてビアの開孔をおこなってから第2の配線溝パターンを形成するビアファーストと呼ばれる手法を用いたが、第2の配線溝パターンを形成してからビア開孔をおこなうトレンチファースト法でもよく、第1のSiOCH膜中にエッチングストッパ層となるSiCH膜もしくはSiCNH膜を挿入し、前記エッチングストッパ層を先に加工してから配線溝とビア



開孔を同時におこなうミドルファーストという手法を用いても良い。

#### 【0048】

##### 【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

#### 【0049】

本発明の半導体装置の製造方法は、層間絶縁膜の密着性が良いため、組立工程等での剥がれが発生しないため、半導体製造装置の歩留まりが向上できる。

#### 【0050】

また、本発明のように、第2のSiOCH膜形成とSiO<sub>2</sub>膜形成を同一成膜室内で連続的におこなうことにより、第2のSiOCH膜を形成後に大気開放した場合のような界面での水の吸着が抑制できるため、配線間容量と配線間リークの劣化を抑制できる。

#### 【0051】

また、本発明のよる第2のSiOCH膜は膜厚制御が容易で薄膜形成が可能のため、配線間容量の増加を抑制できる。

##### 【図面の簡単な説明】

#### 【図1】

第1実施例の半導体装置の構造を示す断面図である。

#### 【図2】

第1実施例に用いられる平行平板型プラズマCVD装置の構成の一実施例を模式的に示す断面図である。

#### 【図3】

第1実施例の半導体装置の製造工程を示す断面図である。

#### 【図4】

本発明の第1実施例による処理条件と、従来の手法により、SiOCH膜がどのように変化したかを示す実験データ図である。

#### 【図5】

本発明の第1実施例により形成された第2のSiOCH膜が20nm程度の薄

膜であることを示すXPSによる実験データ図である。

【図6】

本発明の第1実施例により形成されたSiO<sub>2</sub>/第2のSiOCH膜/第1のSiOCH膜と従来構造の密着性強度を比較した実験データ図である。

【図7】

本発明の第1実施例により形成されたSiO<sub>2</sub>/第2のSiOCH膜/第1のSiOCH膜と従来構造の膜中からの水の昇温脱離量を比較した実験データ図である。

【図8】

本発明の第1実施例によるHeプラズマ処理時間と密着性強度、膜中C濃度の関係を示した実験データ図である。

【図9】

第2実施例の半導体装置の構造を示す断面図である。

【図10】

第2実施例の半導体装置の製造工程を示す断面図である。

【図11】

従来構造の断面図である。

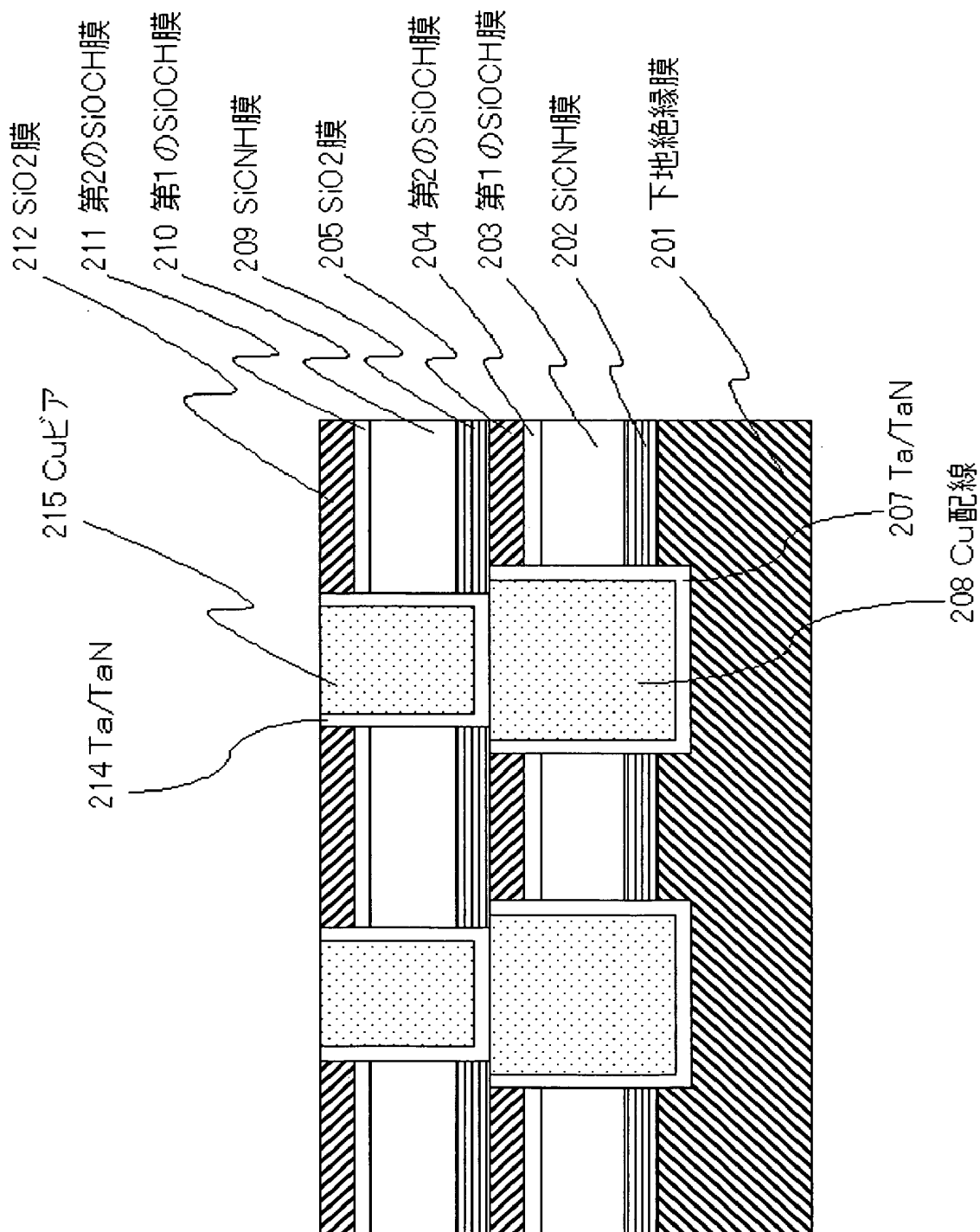
【符号の説明】

101、201	下地絶縁膜
102、106	SiN膜
103、107、205、212	SiO <sub>2</sub> 膜
104、108、207、214	Ta/TaN膜
105、208	Cu配線
109、215	Cuビア
202、209	SiCNH膜
203、210	第1のSiOCH膜
204、211	第2のSiOCH膜
206	配線溝パターン
213	ビアパターン

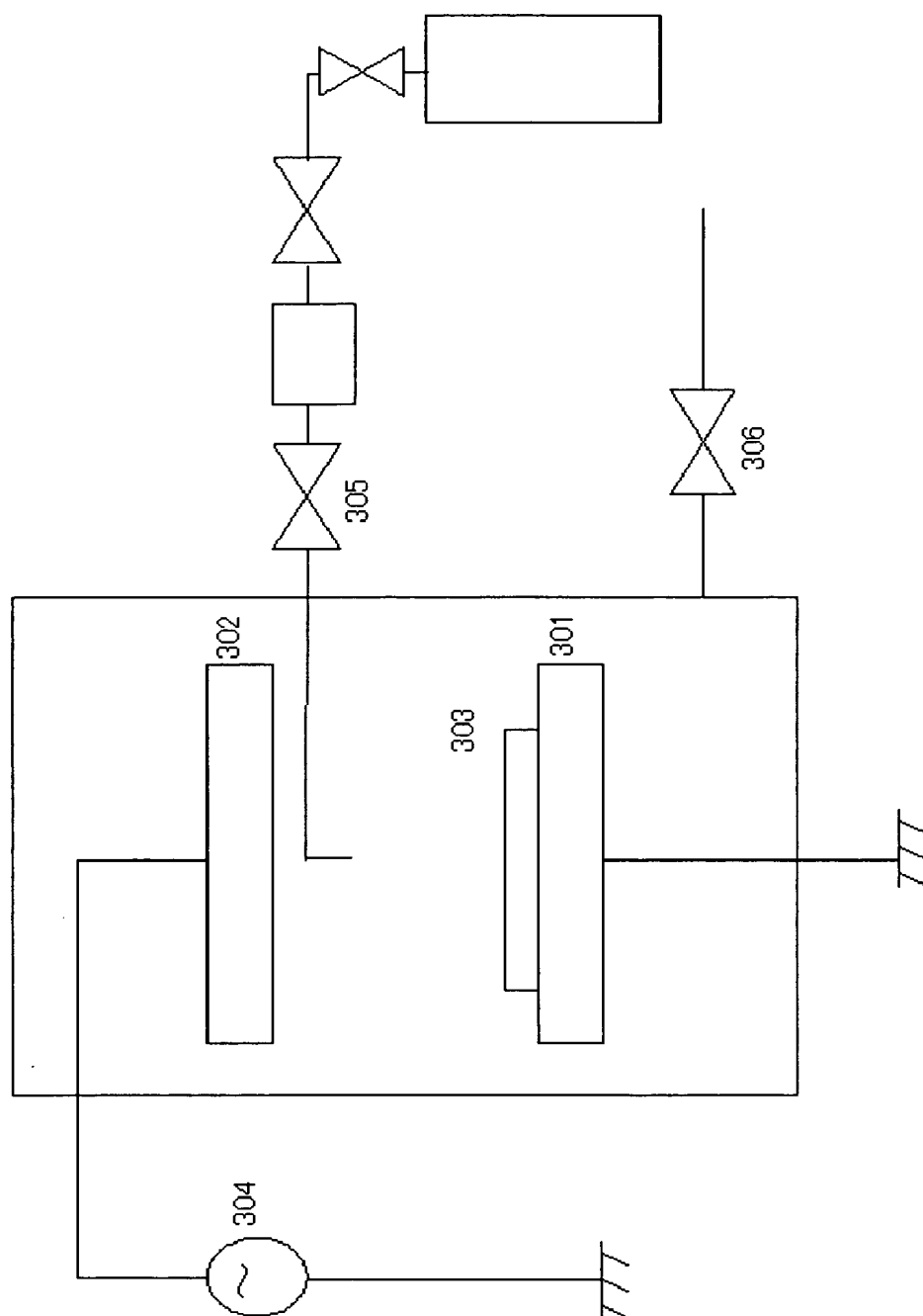
- 2 1 6 第 1 の C u 配線
- 2 1 7、2 1 8 S i O C N H 膜
- 2 1 9 第 2 の C u 配線と C u ビア
- 3 0 1 サセプタ
- 3 0 2 上部電極
- 3 0 3 半導体基板
- 3 0 4 高周波電源
- 3 0 5 ガス導入部
- 3 0 6 ガス排気口

【書類名】 図面

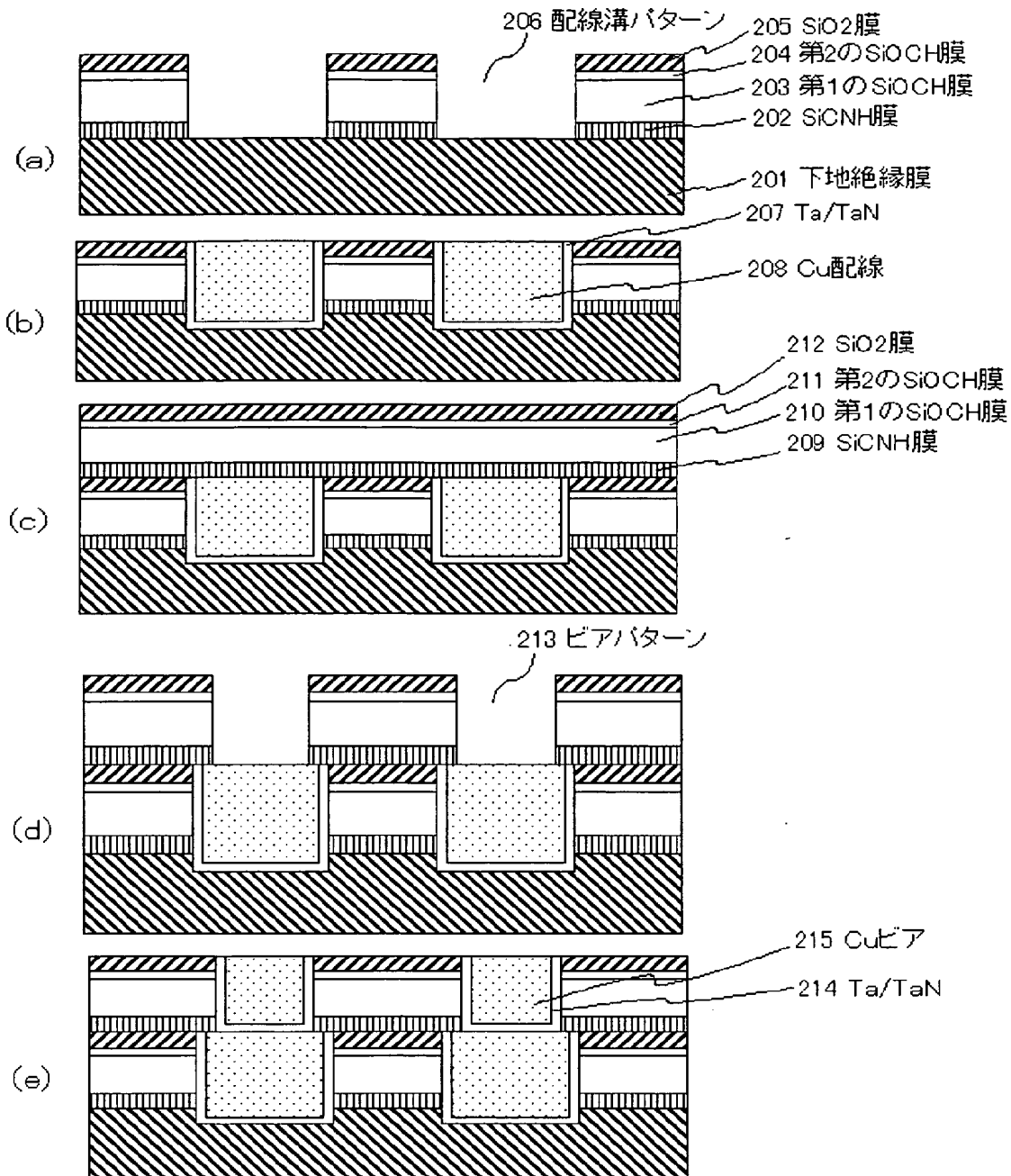
【図1】



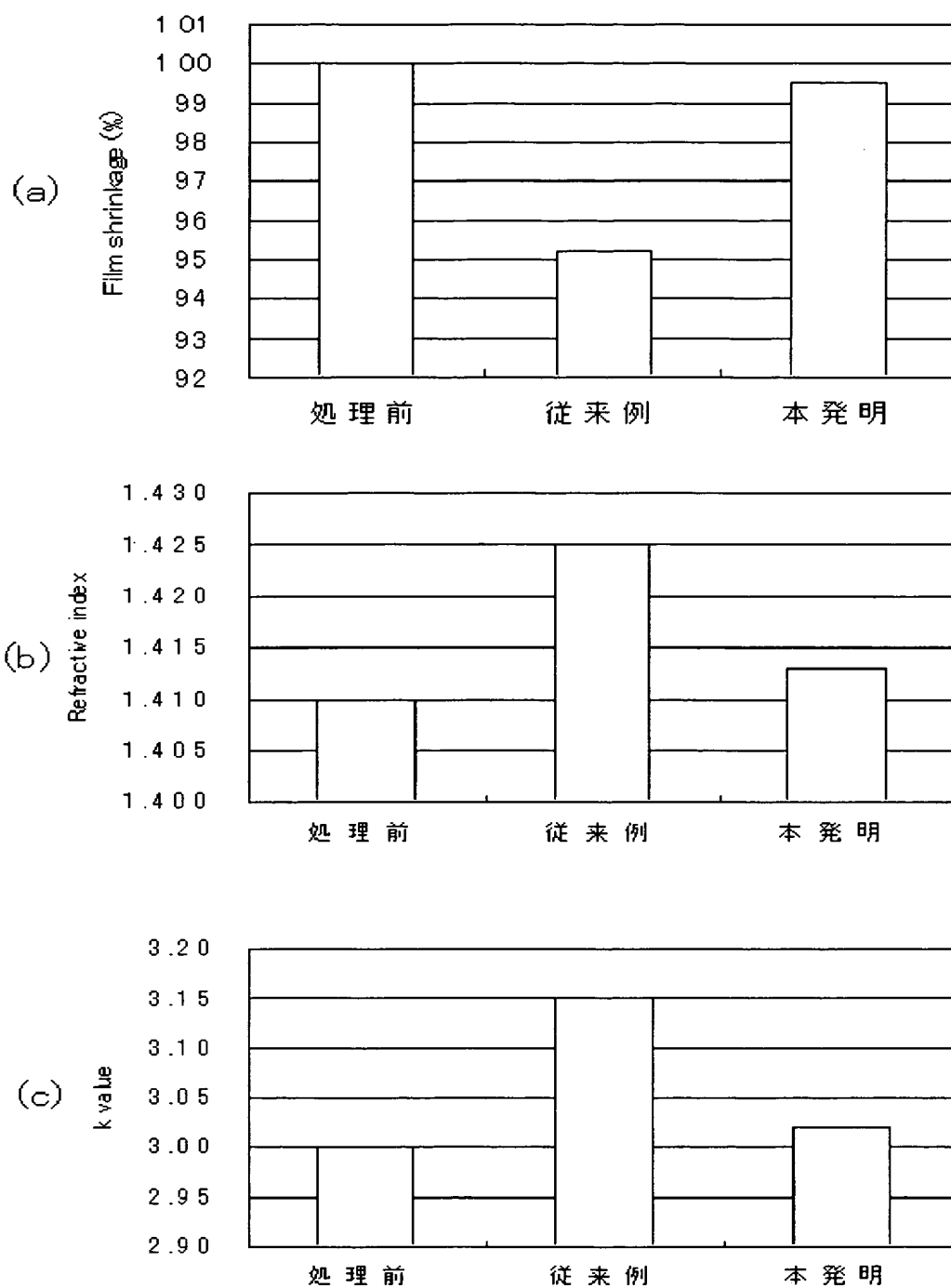
【図 2】



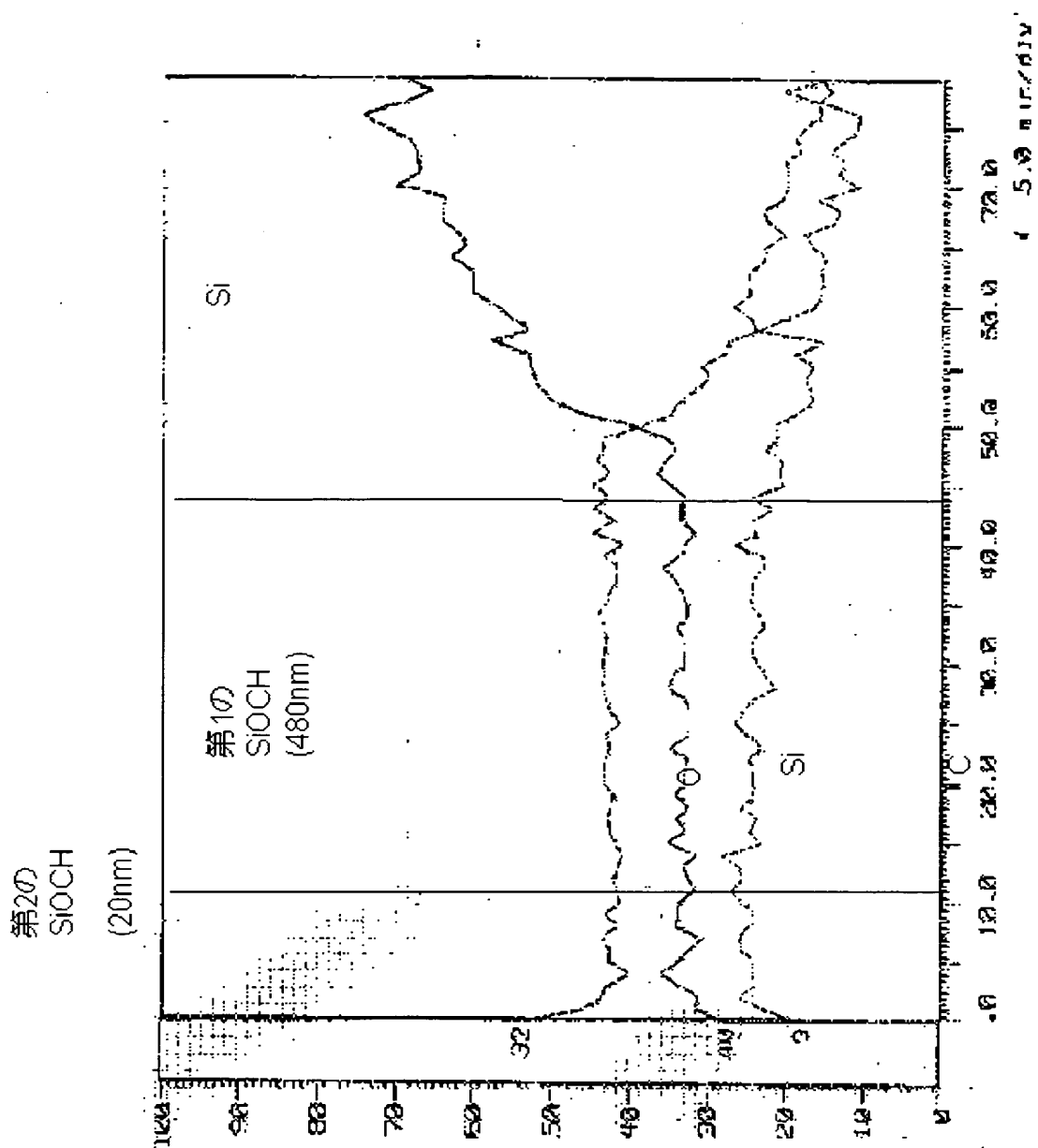
【図3】



【図 4】

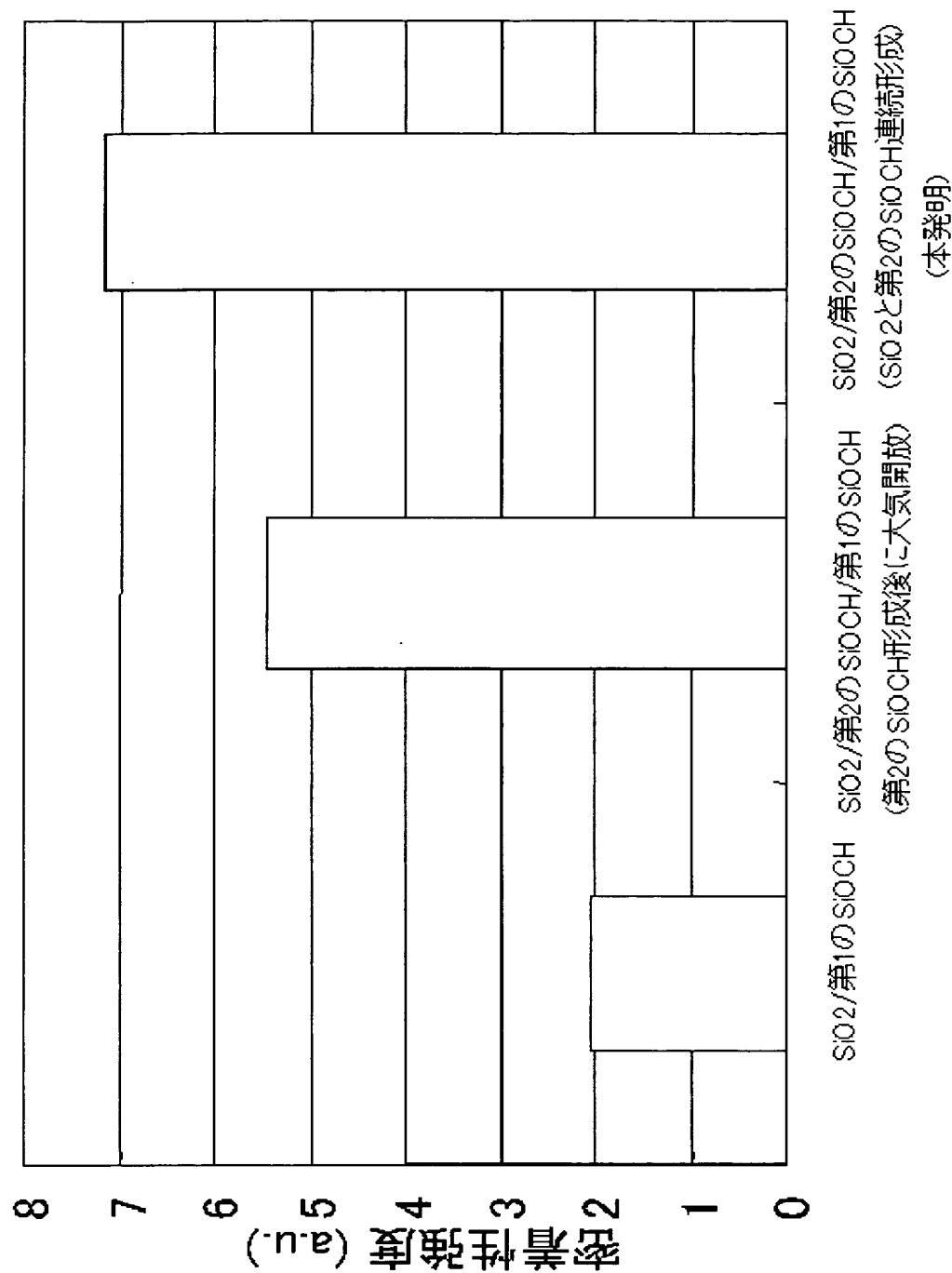


【図 5】

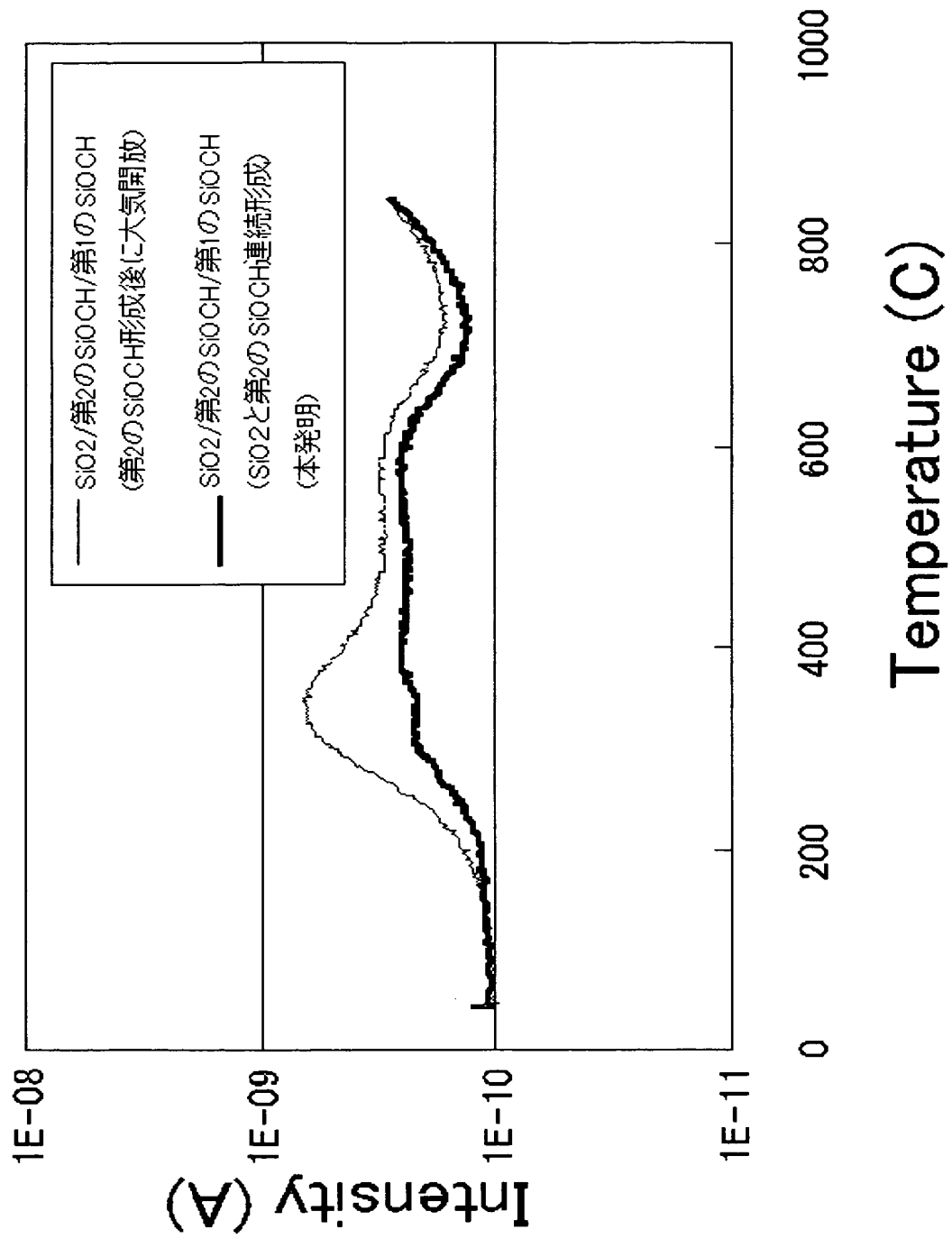




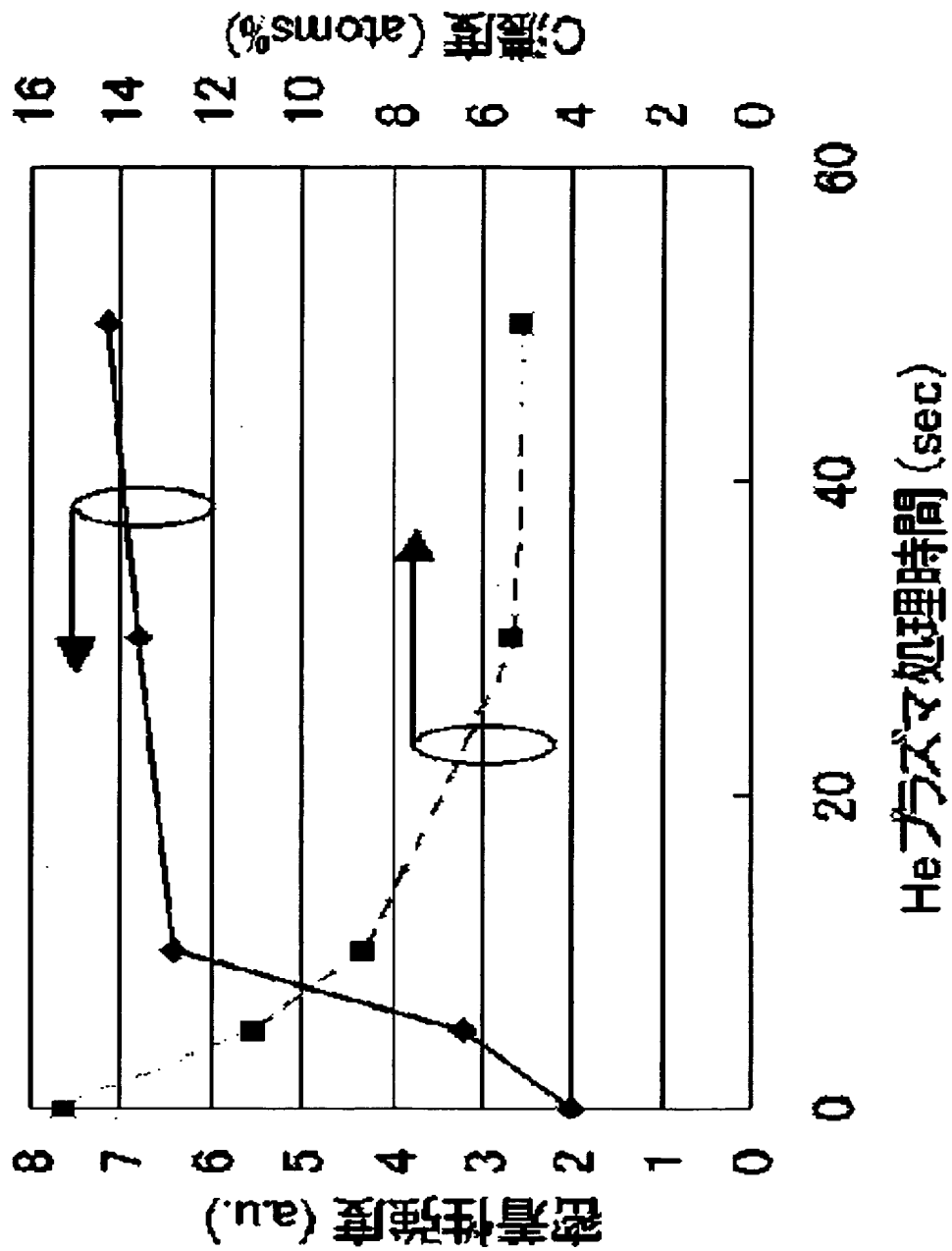
【図 6】



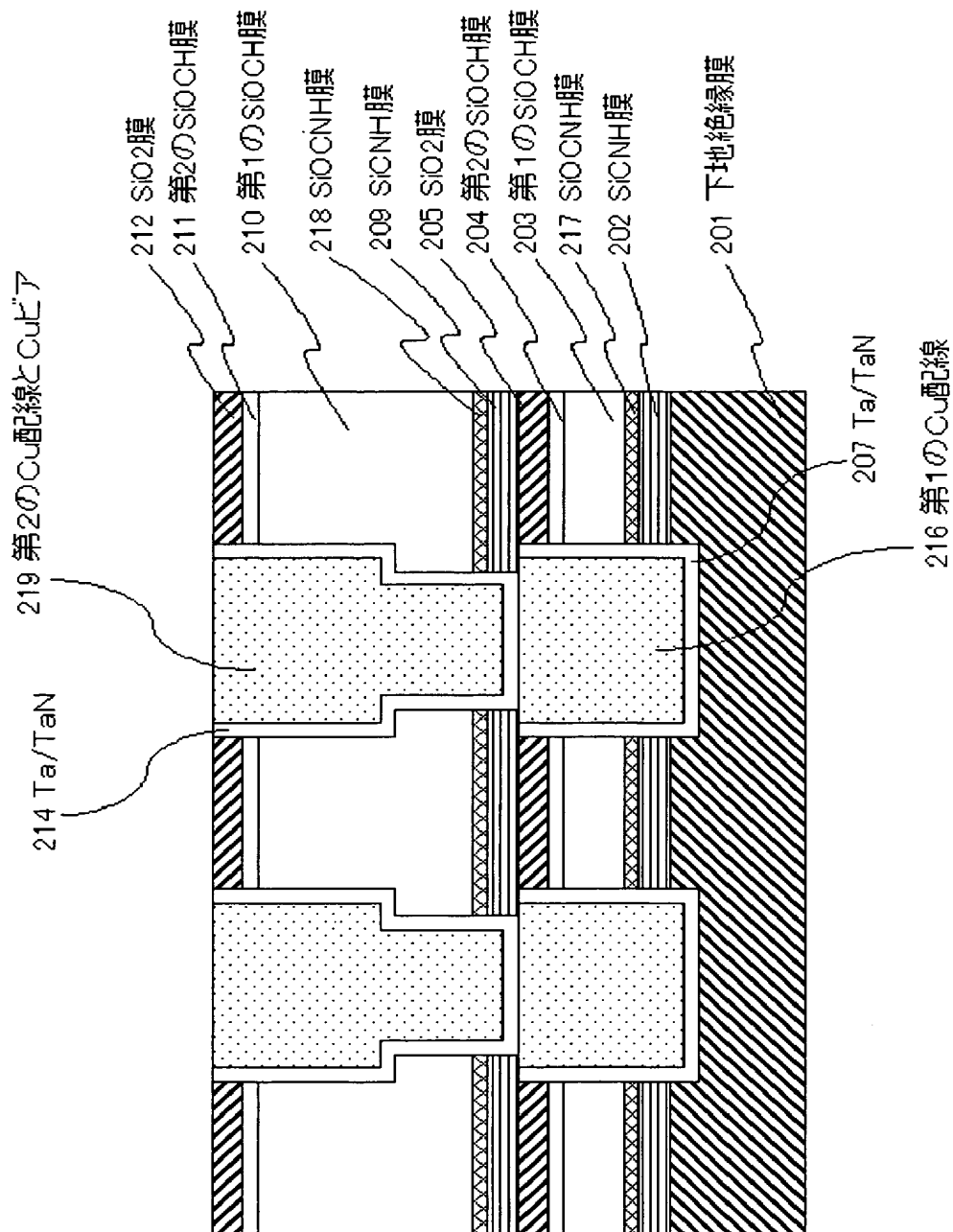
【図 7】



【図 8】

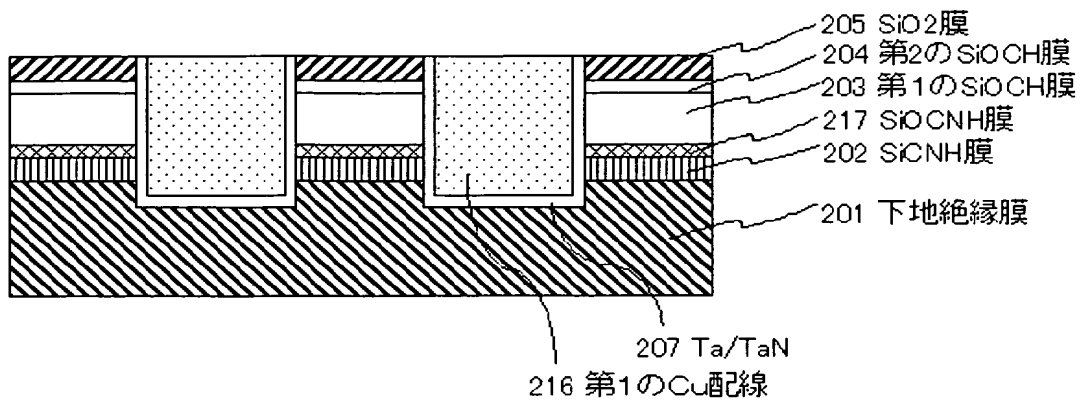


【図 9】

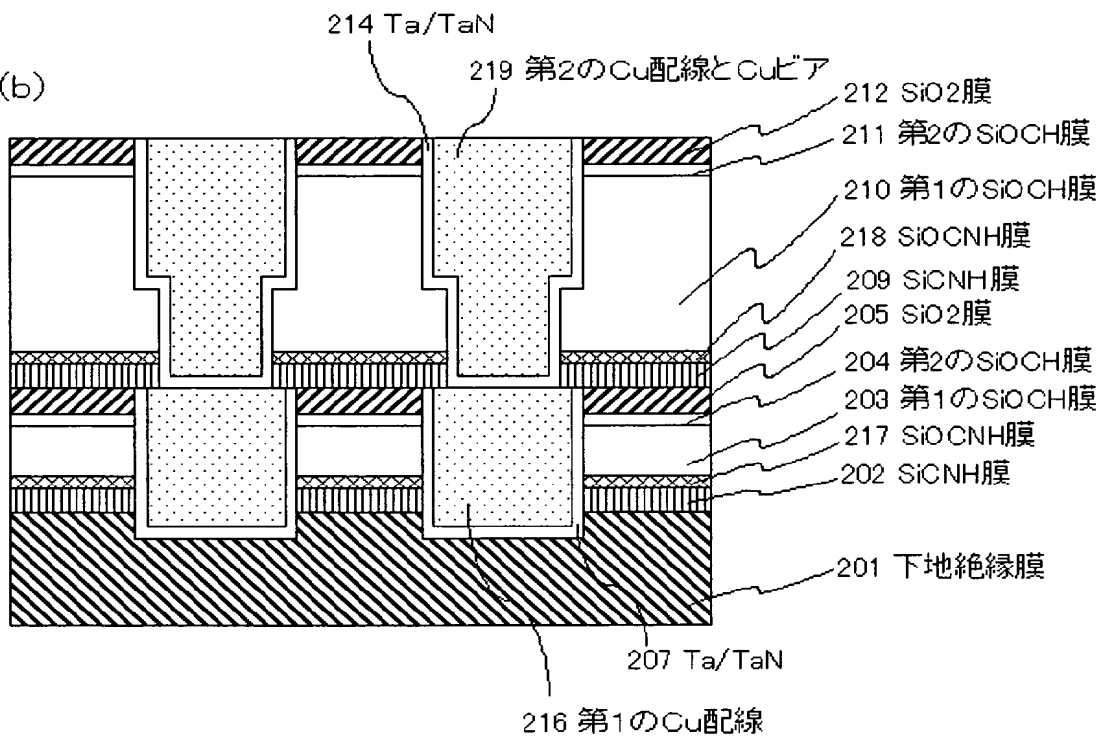


【図 10】

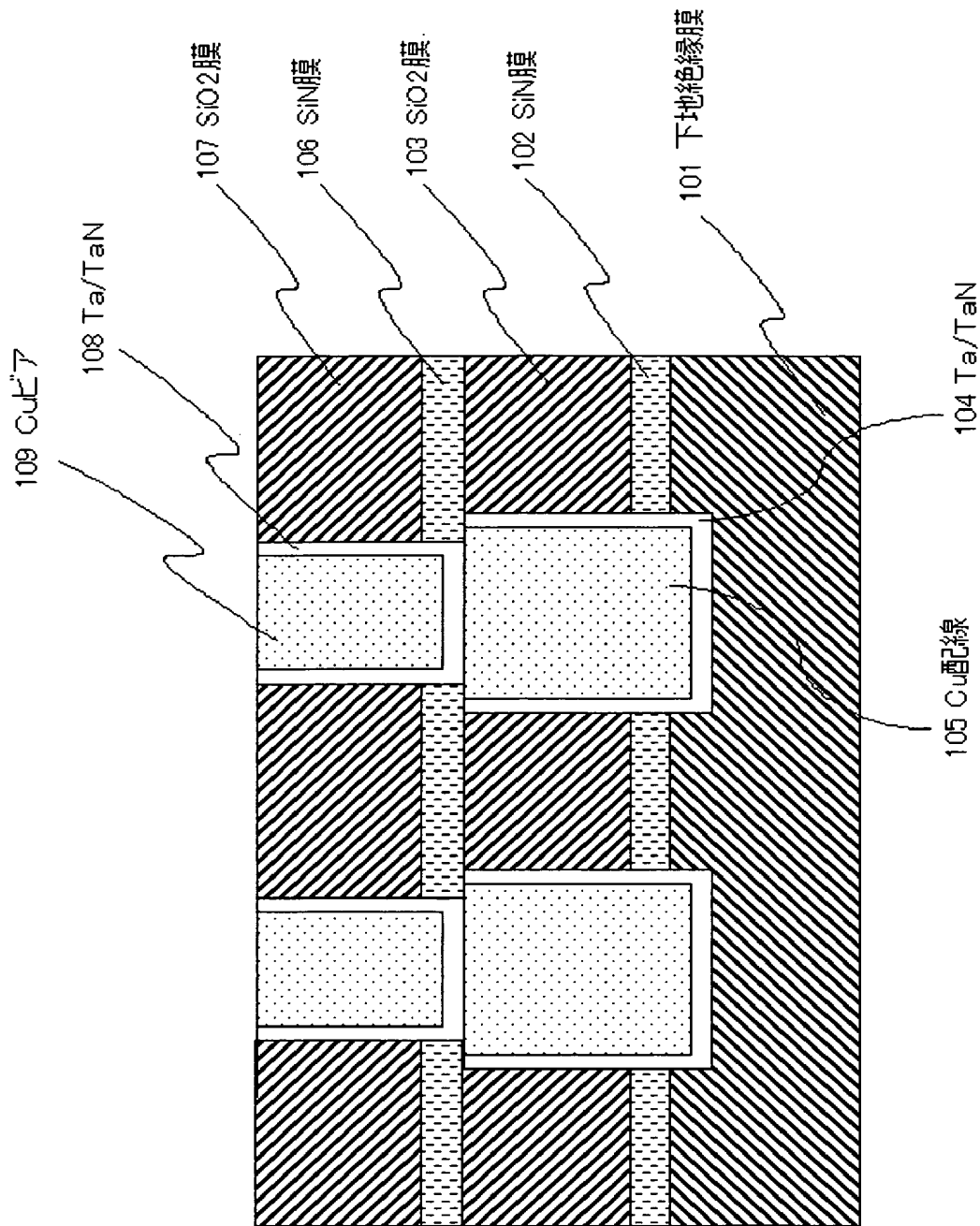
(a)



(b)



【図 11】



【書類名】 要約書

【要約】

【課題】 Cu配線などの層間絶縁膜について、層間絶縁間の密着性が向上した半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に形成された下地絶縁膜上に、下層から金属拡散防止絶縁膜、第1のSiOCH膜、前記第1のSiOCH膜よりも膜中のC濃度、H濃度が低く、O濃度が高いことを特徴とする第2のSiOCH膜、SiO<sub>2</sub>膜の4層構造を有する配線層間絶縁膜層を形成しCu配線を形成する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-021076
受付番号	50300142700
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 1月30日

<認定情報・付加情報>

【提出日】 平成15年 1月29日

次頁無



特願 2 0 0 3 - 0 2 1 0 7 6

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社